

M
E
N
UFirst Hit

Generate Collection

L13: Entry 3 of 6

File: JPAB

Jan 14, 2000

PUB-NO: JP02000012699A

DOCUMENT-IDENTIFIER: JP 2000012699 A

TITLE: REPAIR CIRCUIT HAVING ANTI-FUSE AND PROGRAMMING UNIT FOR
PROGRAMMING REDUNDANT CELLS AND MANUFACTURING ANTI-FUSE

PUBN-DATE: January 14, 2000

INVENTOR-INFORMATION:

NAME

COUNTRY

MI, RAN KIM

MYUN, SHIKU CHAN

JIN, KOOKU KIM

ASSIGNEE-INFORMATION:

NAME

COUNTRY

HYUNDAI ELECTRONICS IND CO LTD

APPL-NO: JP10370109

APPL-DATE: December 25, 1998

PRIORITY-DATA: 1998KR-21787 (June 11, 1998)

INT-CL (IPC): H01 L 21/82; G11 C 29/00

ABSTRACT:

PROBLEM TO BE SOLVED: To provide a repair circuit having an anti-fuse and a programming unit for programming redundant cells, without using a high-cost laser apparatus.

SOLUTION: The anti-fuse 20 of the repair circuit comprises a lower electrode 23 having a spacer 23 which has a sharp point inclined at one side and is highly formed on an outside part, a dielectric film formed on the lower electrode 23, and an upper electrode 28 formed on the dielectric film. In programming defective memory cells, a part of the dielectric film bonded to the space of the lower electrode 23 is destructed and the lower electrode 23 and upper electrode 28 are connected. If not using a repairing laser apparatus, defective cells can be replaced with redundant cells.

COPYRIGHT: (C) 2000, JPO

(11)特許出願公開番号

特開2000-12699

(P2000-12699A)

(43)公開日 平成12年1月14日(2000.1.14)

(51) Int.Cl.⁷

識別記号

FI

テーマコード(参考)

H O 1 L 21/82

H0 1 L 21/82

F

G 1 1 C 29/00

603

G 1 1 C 29/00

603J

審査請求 未請求 請求項の数12 OL (全 7 頁)

(21)出願番号

特願平10-370109

(22) 出願日

平成10年12月25日(1998. 12. 25)

(31)優先権主張番号

1998-21787

(32) 優先日

平成10年6月11日(1998.6.11)

(33) 優先権主張国

韩国 (KR)

(71)出願人 599000038

ヒュンダイ エレクトロニクス インダ
ストリーズ カンパニー リミテッド
大韓民国 ギュンギドー イーチョンシ
ブパルエウブ アミリ サン 136-1

(72)発明者 ミ ラン キム

大韓民国 ギュンギドー イーチョンシ
 ダエウォルミュン サーダンリ 441-1
 ヒュンダイ アパートメント 107-
 1404

(74) 代理人 100075258

弁理士 吉田 研二 (外2名)

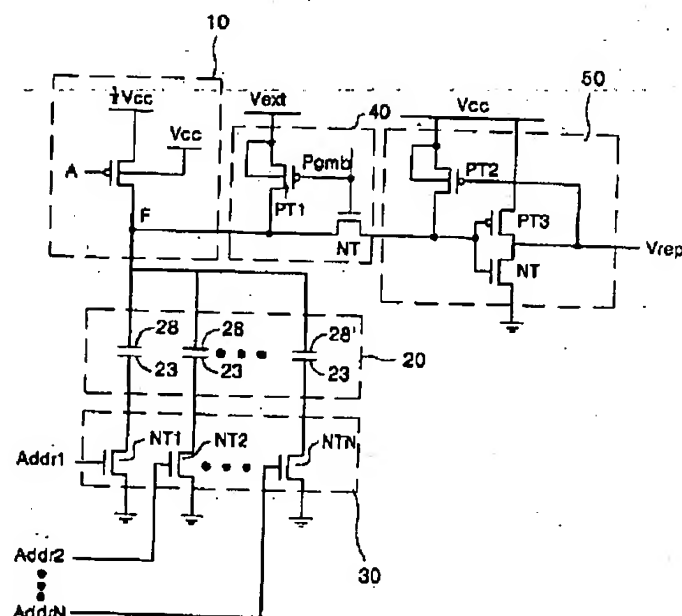
最終頁に続く

(54) 【発明の名称】 冗長セルのプログラミングのためのアンチヒューズとプログラミング装置とを有するリペア回路及びアンチヒューズ製造方法

(57) 【要約】

【課題】 高価のレーザー装置を使用しない冗長セルのプログラミングのためのアンチヒューズとプログラミング装置とを有するリペア回路を提供する。

【解決手段】 リペア回路のアンチヒューズ20は、外側部分にその一面が傾いた尖点を高く形成したスペーサーを有する下部電極23と、下部電極23上に形成された誘電体膜と、前記誘電体膜上に形成された上部電極28とを具備して不良メモリセルのプログラミング時、前記下部電極23のスペーサーと接合する前記誘電体膜のある部分が破壊され、下部電極23と上部電極28とが接続されている。従って、リペア用レーザー装置を使用しなくても不良セルを冗長セルと置き換えることが可能である。



【特許請求の範囲】

【請求項1】 メモリセルアレイの不良セルを冗長セルと置き換える時、冗長セルのプログラミングのためのアンチヒューズとプログラミング装置とを有するリペア回路において、

ハーフ電源電圧を供給するハーフ電源電圧供給部と、メモリセルアレイの不良セルを冗長セルと置き換えるためプログラミング電圧を供給するプログラミング電圧供給部と、

メモリセルのアドレス信号に基づいて接地電位を印加する接地電圧供給部と、

正常動作時、前記ハーフ電源電圧供給部の電圧が印加されて充電し、プログラミング動作時、前記プログラミング電圧供給部と接地電圧供給部との電圧差によって誘電体膜を絶縁破壊させてプログラミングするアンチヒューズと、

前記ハーフ電源電圧供給部とプログラミング電圧供給部及びアンチヒューズが共通で接続されたノードから印加された電圧に基づいてアンチヒューズのプログラミングにより出力信号を発生する出力部と、

を具備することを特徴とする冗長セルのプログラミングのためのアンチヒューズとプログラミング装置とを有するリペア回路。

【請求項2】 前記アンチヒューズは、その上部電極が前記ハーフ電源電圧供給部とプログラミング電圧供給部の出力端子に接続されることを特徴とする請求項1記載の冗長セルのプログラミングのためのアンチヒューズとプログラミング装置とを有するリペア回路。

【請求項3】 前記アンチヒューズは、その下部電極が前記接地電圧供給部の出力端子に接続されることを特徴とする請求項1記載の冗長セルのプログラミングのためのアンチヒューズとプログラミング装置とを有するリペア回路。

【請求項4】 メモリセルアレイの不良セルを冗長セルと置き換えるためにプログラミングするアンチヒューズにおいて、

外側部分にその一面が傾いた尖点を高く形成したスペーサーを有する下部電極と、

前記下部電極上に形成された誘電体膜と、前記誘電体膜上に形成された上部電極と、

を具備して、プログラミング時、前記下部電極のスペーサーと接合する前記誘電体膜が破壊されることを特徴とする冗長セルのプログラミングのためのリペア回路のアンチヒューズ。

【請求項5】 メモリセルアレイの不良セルを冗長セルと置き換えるためにプログラミングするアンチヒューズを形成する方法において、半導体基板に形成された不純物注入領域を含む半導体素子上に下部層間絶縁膜を形成する段階と、

前記下部層間絶縁膜内のコンタクトホールを通じて前記

半導体素子の不純物注入領域と接し、外側部分に高い尖点のスペーサーを有する下部電極を形成する段階と、

前記下部電極上に誘電体膜を形成する段階と、

前記誘電体膜上に上部電極を形成する段階とを含んでいることを特徴とする冗長セルのプログラミングのためのリペア回路のアンチヒューズ製造方法。

【請求項6】 前記下部電極を形成する段階は、前記下部層間絶縁膜内に前記半導体素子の不純物注入領域が露出されるコンタクトホールを形成する段階と、

前記コンタクトホールを含んだ層間絶縁膜上に導電層を蒸着する段階と、

前記導電層上に絶縁膜を蒸着する段階と、

前記順次積層された絶縁膜と導電層とをパターンニングする下部電極の一部を定義するためのパターンを形成する段階と、

前記定義されて形成されたパターンの外側面に導電層から成るスペーサーを形成する段階と、

前記パターンを成す絶縁膜のみ除去する段階と、

をさらに含んでいることを特徴とする請求項5記載の冗長セルのプログラミングのためのリペア回路のアンチヒューズ製造方法。

【請求項7】 前記下部電極と上部電極とは、不純物が注入されたポリシリコンを使用することを特徴とする請求項5記載の冗長セルのプログラミングのためのリペア回路のアンチヒューズ製造方法。

【請求項8】 前記下部電極と上部電極とは、耐火性金属を使用することを特徴とする請求項5記載の冗長セルのプログラミングのためのリペア回路のアンチヒューズ製造方法。

【請求項9】 前記金属はTaまたはTiを使用することを特徴とする請求項5記載の冗長セルのプログラミングのためのリペア回路のアンチヒューズ製造方法。

【請求項10】 前記誘電体膜は、酸化膜を使用することを特徴とする請求項5記載の冗長セルのプログラミングのためのリペア回路のアンチヒューズ製造方法。

【請求項11】 前記誘電体膜は、酸化膜/窒化膜/酸化膜が順次積層された複合膜を使用することを特徴とする請求項5記載の冗長セルのプログラミングのためのリペア回路のアンチヒューズ製造方法。

【請求項12】 前記誘電体膜は、30~100Åの厚さで形成することを特徴とする請求項5記載の冗長セルのプログラミングのためのリペア回路のアンチヒューズ製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は半導体メモリ装置及びその製造方法に関するもので、特に、半導体メモリ装置の不良セルを冗長セルと置き換える時プログラミング方式が簡単な冗長セルのプログラミングのためのアンチヒューズとプログラミング装置とを有するリペア回路及

びアンチヒューズ製造方法に関するものである。

【0002】

【従来の技術】半導体メモリ装置ではサブアレイブロック別にメモリ冗長セルを備えている。例えば、256Kセルアレイごとに余分の行と列とをあらかじめ備えて、欠陥が発生して不良になったメモリセルを行／列単位で余分のメモリ冗長セルと置き換える。このリペア回路はウェハー製造工程が終了したら、テストを経て不良メモリセルを選び出し、それに該当する冗長セルのアドレス信号に切り替えるプログラミングが内部回路で行われ、これによって実際の使用時不良ラインに該当するアドレスが入力されると、冗長セルのラインに切り替えて選ぶことになる。

【0003】このプログラミング方式としては過電流でヒューズを溶かして切り抜く電気ヒューズ方式、レーザービームでヒューズを焼いてしまう方式、レーザービームで接合部を短絡させる方式などがあり、これらの方法の中でレーザーを利用してヒューズを切り抜く方式が単純と確実で、かつレイアウトも容易で頻繁に使っている。

【0004】

【発明が解決しようとする課題】しかし、レーザー方式のプログラミング方式では別途の不良セルを冗長セルと置き換えるために高価のレーザー装置を利用するリペア工程が必要とし、製造工程中に付加的なヒューズウィンドー工程を実施してヒューズを切り抜くべき部分にレーザーを照らしてプログラミングを行うパッシベーション工程を実施するためリペア工程が複雑で、かつ面倒な問題点がある。

【0005】本発明の目的は誘電体膜のスレッシュOLD電圧を利用して不良セルを冗長セルと容易に置き換えることによって高価のレーザー装置を使用しないでメモリ装置の収率及び信頼性を向上させることができる冗長セルのプログラミングのためのアンチヒューズとプログラミング装置とを有するリペア回路を提供することにある。本発明の他の目的は誘電体膜のスレッシュOLD電圧を利用して不良セルを冗長セルと容易に置き換えることができる冗長セルのプログラミングのためのリペア回路のアンチヒューズ製造方法を提供することにある。

【0006】

【課題を解決するための手段】前記目的を達成するため、本発明に係るリペア回路は、メモリセルアレイの不良セルを冗長セルと置き換える時、冗長セルのプログラミングのためのアンチヒューズとプログラミング装置とを有するリペア回路において、ハーフ電源電圧を供給するハーフ電源電圧供給部と、メモリセルアレイの不良セルを冗長セルと置き換えるためプログラミング電圧を供給するプログラミング電圧供給部と、メモリセルのアドレス信号に基づいて接地電位を印加する接地電圧供給部と、正常動作時、前記ハーフ電源電圧供給部の電圧が印

加されて充電し、プログラミング動作時、前記プログラミング電圧供給部と接地電圧供給部との電圧差によって誘電体膜を絶縁破壊させてプログラミングするアンチヒューズと、前記ハーフ電源電圧供給部とプログラミング電圧供給部及びアンチヒューズが共通で接続されたノードから印加された電圧に基づいてアンチヒューズのプログラミングにより出力信号を発生する出力部とを具備することを特徴とする。前記目的を達成するため、本発明に係るリペア回路のアンチヒューズは、メモリセルアレイの不良セルを冗長セルと置き換えるためにプログラミングするアンチヒューズにおいて、外側部分にその一面が傾いた尖点を高く形成したスペーサーを有する下部電極と、前記下部電極上に形成された誘電体膜と、前記誘電体膜上に形成された上部電極とを具備して不良メモリセルのプログラミング時、前記下部電極のスペーサーと接合する前記誘電体膜のある部分が破壊されるようになる。

【0007】前記他の目的を達成するため、本発明に係るリペア回路のアンチヒューズ製造方法は、メモリセルアレイの不良セルを冗長セルと置き換えるためにプログラミングするアンチヒューズを形成する方法において、半導体基板に形成された不純物注入領域を含む半導体素子上に下部層間絶縁膜を形成する段階と、前記下部層間絶縁膜内のコンタクトホールを通じて前記半導体素子の不純物注入領域と接し、外側部分に高い尖点のスペーサーを有する下部電極を形成する段階と、前記下部電極上に誘電体膜を形成する段階と、前記誘電体膜上に上部電極を形成する段階とを含んでいることを特徴とする。

【0008】前記本発明に係るリペア回路のアンチヒューズ製造方法における前記下部電極を形成する段階は、前記下部層間絶縁膜内に前記半導体素子の不純物注入領域が露出されるコンタクトホールを形成する段階と、前記コンタクトホールを含んだ層間絶縁膜上に導電層を蒸着する段階と、前記導電層上に絶縁膜を蒸着する段階と、前記順次積層された絶縁膜と導電層とをパターンニングする下部電極の一部を定義するためのパターンを形成する段階と、前記定義されて形成されたパターンの外側面に導電層から成るスペーサーを形成する段階と、前記パターンを成す絶縁膜のみ除去する段階とをさらに含んでいることを特徴とする。

【0009】ここで、下部電極と上部電極とは、不純物が注入されたポリシリコンを使用するか、或いは耐火性金属を使用し、誘電体膜は、酸化膜を使用するか、或いは酸化膜／窒化膜／酸化膜が順次積層された複合膜を使用し、その厚さは30～100Åので形成することが好ましい。

【0010】本発明に係る冗長セルのプログラミングのためのアンチヒューズとプログラミング装置とを有するリペア回路及びアンチヒューズ製造方法によれば、アンチヒューズはプログラミング時上部電極と下部電極との

間に印加される電圧差によって前記下部電極のスペーサーと接合されると共に、前記誘電体膜が絶縁破壊されることによって二つの電極は短絡状態になる。また、本発明のアンチヒューズは下部電極の外側部分に高い尖点のスペーサーを有するので誘電体膜の破壊電圧より低い電圧であっても冗長セルのプログラミングが可能である。

【0011】

【発明の実施の形態】以下、図面を参照しながら本発明の好ましい実施の形態（以下、実施形態とする）を詳細に説明する。図1は本発明の一実施形態による冗長セル

のプログラミングのためのアンチヒューズを有するリベア回路のプログラミング装置を示す回路図である。

【0012】本発明のリベア回路は駆動信号Aに基づいてハーフ電源電圧（ $1/2V_{cc}$ ）を印加するハーフ電源電圧供給部10と、アドレス信号Addr1、…、AddrNに基づいて接地電位を印加する複数のN型MOSトランジスタNT1、…、NTNを有する接地電圧供給部30と、不良セルを冗長セルと置き換えるためのプログラミング制御信号Pgmbに基づいてプログラミング電圧Vextを供給するプログラミング電圧供給部40と、前記ハーフ電源電圧供給部10の出力端子にその上部電極28が接続されており、前記接地電圧供給部30のN型MOSトランジスタNT1、…、NTNのそれぞれのドレインにその下部電極23が接続されたアンチヒューズ20と、前記ハーフ電源電圧供給部10の出力端子とアンチヒューズ20及びプログラミング電圧供給部40の出力端子が共通で接続されたノードFに接続され、かつアンチヒューズのプログラミングされた状態により出力信号Vrepを発生する出力部50とから構成される。

【0013】ここで、前記電源電圧供給部10は基板に電源電圧Vccを印加すると共に、ドレインにハーフ電源電圧（ $1/2V_{cc}$ ）を印加するP型MOSトランジスタから構成されており、前記プログラミング電圧供給部40はドレイン及び基板にプログラミング電圧Vextを印加するP型MOSトランジスタPT1とそのゲートが前記P型MOSトランジスタPT1のゲートに接続されているN型MOSトランジスタNTとから構成されている。前記出力部50は、ドレイン及び基板に電源電圧Vccを印加し、かつゲートに出力信号Vrepを印加する第1のP型MOSトランジスタPT2と、前記第1のP型MOSトランジスタPT2の出力端子にそのゲートが共通で接続され、かつ電源電圧Vccと接地電圧との間に直列に接続された第2のP型MOSトランジスタPT3とN型MOSトランジスタNTとから構成されている。

【0014】図2は本発明に係るプログラミング装置とアンチヒューズとを有するリベア回路を含んでいる半導体装置を示した垂直断面図である。この図面には、シリコン基板のNウェル2及びPウェル4の各々にゲート導

電層12、32、スペーサー14、34と不純物注入領域16、36が形成されたP型MOSトランジスタ及びN型MOSトランジスタと、電気的な絶縁のためのトランジスタの上面に形成した層間絶縁膜62、64内のコンタクトホールを通じて前記N型MOSトランジスタの不純物注入領域36、例えばドレイン領域に接続され、その外側部分には内側部分22より高い尖点のスペーサー24を有する下部電極23と、前記下部電極23の上部に形成された誘電体膜26と、前記誘電体膜26の上部に形成された上部電極28とを有するアンチヒューズが示している。また、P型MOSトランジスタのドレイン領域16及びアンチヒューズの上部電極28の各々にプラグ18、29と接続される金属配線70に接合されている。

【0015】以下、図1と図2とを参照して、このように構成された本発明に係るリベア回路の動作を説明する。

【0016】アンチヒューズ20のプログラミング時、ハーフ電源電圧供給部10は駆動信号Aの高レベルによりオフ状態である。この時、アンチヒューズ20はハーフ電源電圧供給部10からハーフ電源電圧（ $1/2V_{cc}$ ）が印加されない状態でプログラミング電圧供給部40における不良セルのプログラミングのための制御信号Pgmbが高レベルから低レベルに移すことによって、P型MOSトランジスタPT1はターンオンになって上部電極28にプログラミング電圧Vextが印加される。次に、前記アンチヒューズ20はアドレス信号Addr1…AddrNの高レベルで複数のN型MOSトランジスタNT1…NTNがターンオンになることによって下部電極23に接地電圧が印加される。これによって、前記アンチヒューズ20は上部電極28と下部電極23との間の大きい電圧差により膜質が最も弱い尖点のスペーサー24近辺にある誘電体膜26が絶縁破壊されるため二つの電極28、23は抵抗性短絡状態になる。

【0017】また、本発明のリベア回路は、正常動作時プログラミング電圧供給部40における不良セルのプログラミングのための制御信号Pgmbが高レベルを維持することによってプログラミング電圧Vextの供給が中止され、かつハーフ電源電圧供給部10の駆動信号Aが高レベルから低レベルに移すことによって共通で接続されたノードFの電圧を充電させる。次に、アドレス信号Addr1…AddrNが入力される。この時、アンチヒューズ20が既にプログラミングされた状態である場合、共通で接続されたノードFの電圧は低レベルに移して出力部50に印加されることによって出力信号Vrepは高レベルになり、まだプログラミングされなかった場合には共通で接続されたノードF電圧、ハーフ電源電圧（ $1/2V_{cc}$ ）がそのまま出力部50に印加されることによって出力信号Vrepは低レベルになる。

【0018】図3ないし図10は本発明に係るアンチヒ

ューズを有する半導体装置を形成するための製造方法を順序に示す図である。

【0019】本発明の製造方法では通常のDRAM製造工程中で実施する。まず、図3に示したようにシリコン基板にNウェル2及びPウェル4を形成し、これらのウェル2、4を互いに分離する素子分離領域6を形成する。次に、それぞれのウェル2、4の上部にはゲート導電層12、32及びスペーサー14、34を有するゲート電極を形成し、前記ゲート電極のエッジ近辺には前記ウェルと異なる導電型不純物を注入して不純物注入領域16、36、例えばソース/ドレイン領域を形成してP型MOSトランジスタ及びN型MOSトランジスタを完成する。

【0020】次に、前記トランジスタを含んだ基板の上部に絶縁膜62を蒸着する。図4に示したようにN型MOSトランジスタのソース領域に接続するための接地ライン38を形成した後、前記結果物の上部に下部層間絶縁膜64を形成する。そして、前記N型MOSトランジスタのゲートがターンオンになった時、キャリアを充電する下部電極の領域確保のためのマスキングかつエッチング工程を実施して前記N型MOSトランジスタのドレイン領域が露出されるように前記下部層間絶縁膜64及び絶縁膜62を順次蝕刻してコンタクトホール65を形成する。

【0021】次に、図5に示したように前記コンタクトホール65を含んだ層間絶縁膜64の全面に不純物が注入されたポリシリコン層22を利用して前記コンタクトホール65を完全に埋めるように形成した後、前記ポリシリコン層22の全面に絶縁膜66を形成する。

【0022】そして、図6に示したように前記アンチヒューズの下部電極の一部を定義するための写真工程を実施して前記絶縁膜66の上面にフォトレジストパターン67を形成する。

【0023】次に、エッチング工程を実施して前記パターン67に整列するように前記順次積層された絶縁膜66及びポリシリコン層22をパターンニングして、図7に示したように下部電極の一部を定義するパターン22、66を形成する。そして、前記フォトレジストパターン67を除去した後、前記結果物の全面に導電層としての不純物が注入されたポリシリコン層24を形成する。

【0024】その後、図8に示したようにドライエッチング工程を実施して前記ポリシリコン層24をエッチングすることによって、前記下部電極のパターン22、66の外側面にスペーサー24が形成されることになる。

【0025】図9に示したように前記下部電極のパターン22、66を成す絶縁膜66のみを除去することによって、外側部分には内側部分より高い尖点のスペーサー24を有する下部電極23が形成される。次に、前記下部電極23の上面に誘電体としての酸化膜26を形成し、この時の厚さは30～100Åとする。そして、前

記酸化膜26の上面に不純物が注入されたポリシリコン層28を形成する。

【0026】次に、マスキングかつエッチング工程を実施して前記順次積層されたポリシリコン層28及び酸化膜26をパターンニングして、上部電極28と誘電体膜26とを形成する。

【0027】以後、図10に示したように前記上部電極28と下部層間絶縁膜64との上面に上部層間絶縁膜67、68を形成した後に、配線工程を実施して上部電極28とP型MOSトランジスタのソース領域と各々接合されるプラグ18、29及びこのプラグを接続する金属配線70を形成する。

【0028】

【発明の効果】これらの工程順序による本発明は、既存のDRAM工程の進行中で特に正常なDRAMのキャパシタ工程を経る間に不良セルを冗長セルと置き換えるようにプログラミングできるアンチヒューズを形成することによって、製造工程が単純になる。前述したように、本発明はアンチヒューズを有するリペア回路を冗長バンクセルに置いてパッケージ工程以後や顧客の使用途中でも必要時にはいつでもリペアが可能であるという長所を持っている。

【0029】また、下部電極の尖点部位であるスペーサーと接合される誘電体膜へ電流を印加して絶縁破壊させることによって、簡単にプログラムできるアンチヒューズの具現が可能である。

【0030】それゆえ、本発明はリペア用レーザー装置を使用しなくてもプログラミング電圧または誘電体膜の破壊電圧より低い電圧でプログラミングが可能である。

【0031】したがって、本発明の製造工程はDRAMのキャパシタ工程の中でスペーサー工程を追加してアンチヒューズを形成するため別途の追加工程が要らないので工程の単純化を実現することができる。

【図面の簡単な説明】

【図1】 本発明に係る冗長セルのプログラミングのためのアンチヒューズを有するリペア回路のプログラミング装置を示す一実施形態の回路図である。

【図2】 図1に示したリペア回路のプログラミング装置を示す垂直断面図である。

【図3】 本発明に係るアンチヒューズを有する半導体装置を形成するための製造方法を説明する図である。

【図4】 本発明に係るアンチヒューズを有する半導体装置を形成するための製造方法を説明する図である。

【図5】 本発明に係るアンチヒューズを有する半導体装置を形成するための製造方法を説明する図である。

【図6】 本発明に係るアンチヒューズを有する半導体装置を形成するための製造方法を説明する図である。

【図7】 本発明に係るアンチヒューズを有する半導体装置を形成するための製造方法を説明する図である。

【図8】 本発明に係るアンチヒューズを有する半導体

装置を形成するための製造方法を説明する図である。

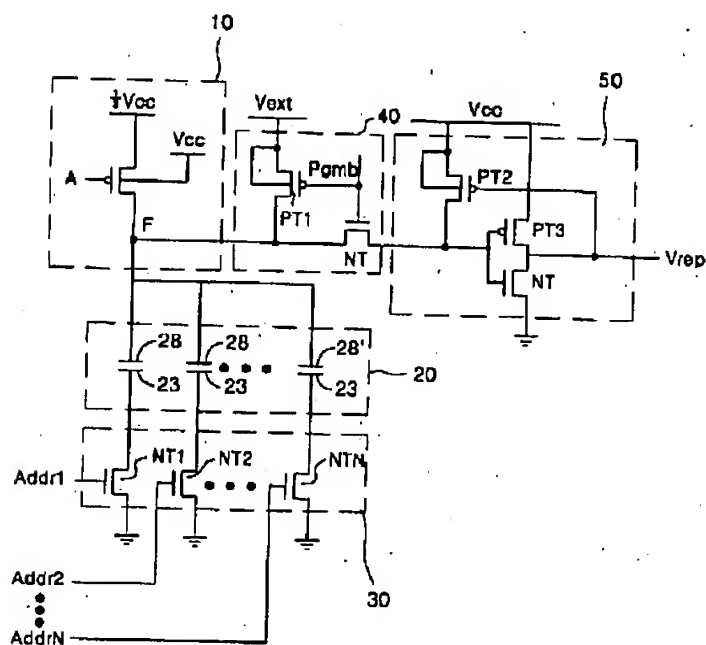
【図9】 本発明に係るアンチヒューズを有する半導体装置を形成するための製造方法を説明する図である。

【図10】 本発明に係るアンチヒューズを有する半導体装置を形成するための製造方法を説明する図である。

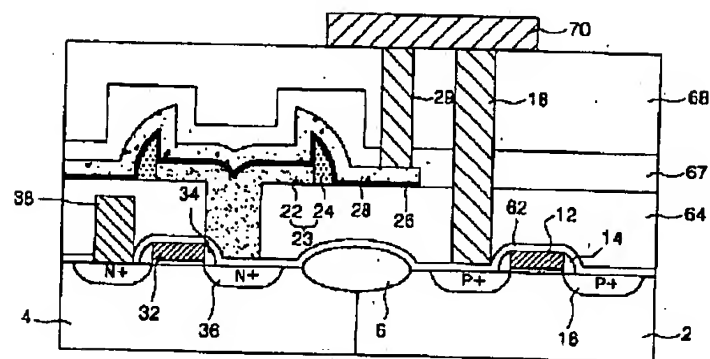
【符号の説明】

10 ハーフ電源電圧供給部、20 アンチヒューズ、
23 下部電極、24 スペース、26 誘電体膜、28
上部電極、30 接地電圧供給部、40 プログラミング
電圧供給部、50 出力部、62 層間絶縁膜、64
層間絶縁膜、65 コンタクトホール、67 パター
ン、70 金属配線。

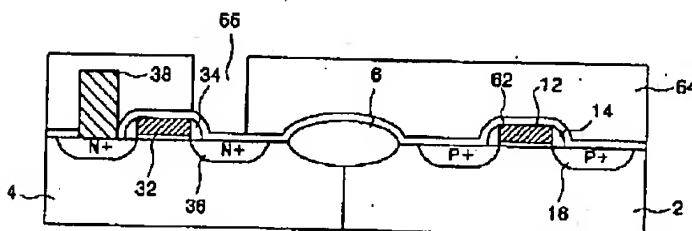
【図1】



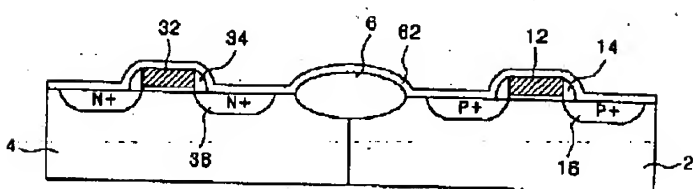
【図2】



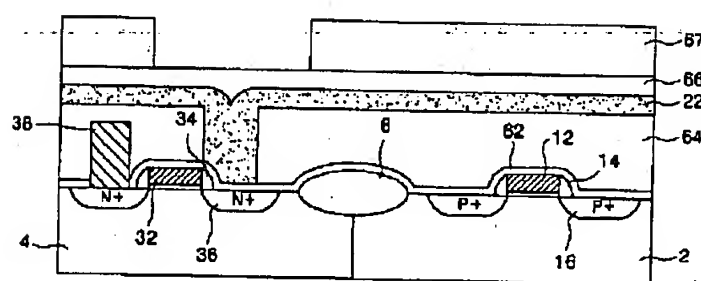
【図4】



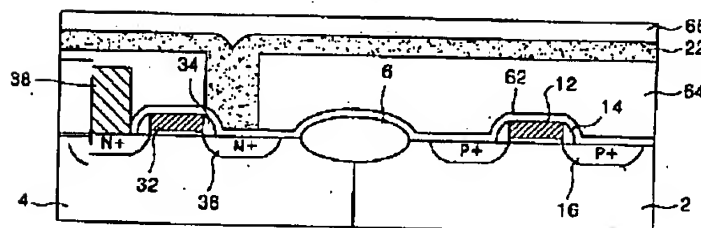
【図3】



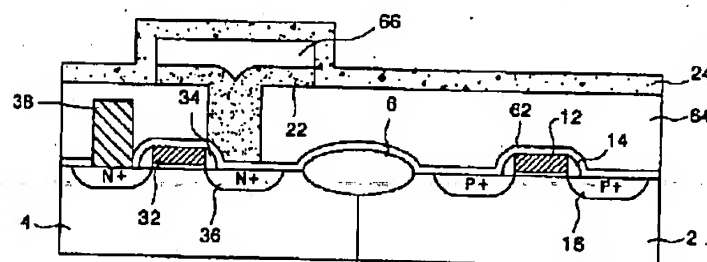
【図6】



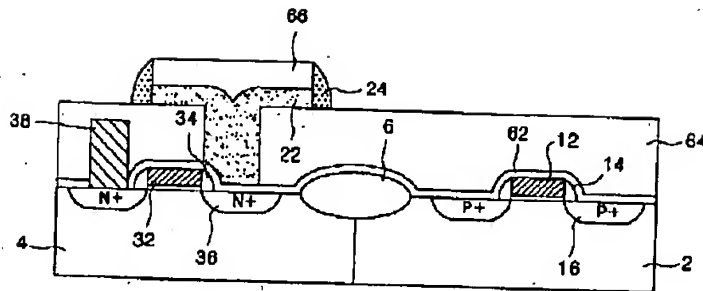
【図5】



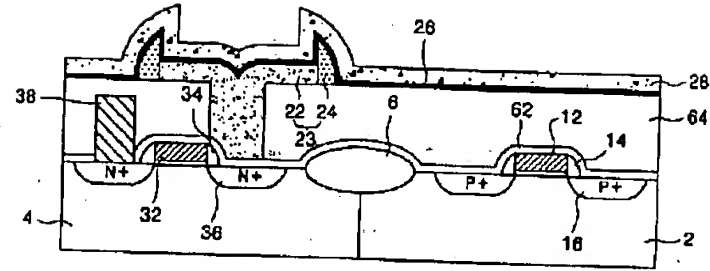
【図7】



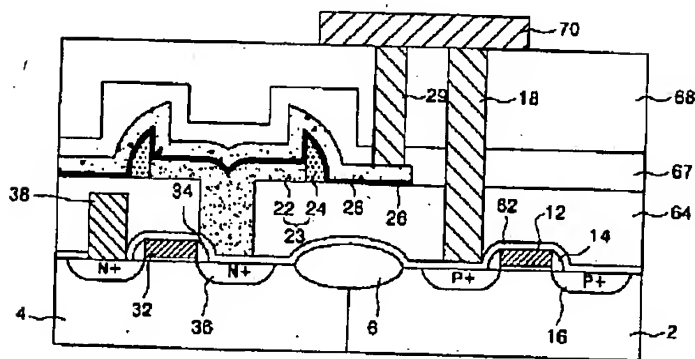
【図8】



【図9】



【図10】



フロントページの続き

(72)発明者 ミュン シク チャン
大韓民国 ソウル カワソジンク ジャヤ
ンドン 520-2 ウースン アパートメ
ント 202-902

(72)発明者 ジン コーク キム
大韓民国 ソウル カンドンク シャンギ
ルドン 124 ジューゴン アパートメン
ト 602-207